

PAT-NO: JP363004621A  
DOCUMENT-IDENTIFIER: JP 63004621 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: January 9, 1988

INVENTOR- INFORMATION:

NAME  
OZAKI, KATSUYA  
OTSUBO, MUTSUYUKI

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP61148930

APPL-DATE: June 24, 1986

INT-CL (IPC): H01L021/306, H01L021/28

ABSTRACT:

PURPOSE: To keep the finished width of a via-hole and the variation of the finished width of the via hole in a small range by a method wherein two steps are alternately repeated which are a step of forming a damaged layer in the part on a GaAs substrate surface where the via-hole is to be formed through the aperture of a mask pattern or by a converged ion beam and a step of removing the damaged layer by etching.

CONSTITUTION: After a mask pattern 3 made of metal which has a high density, i.e. a high ion blocking capability, is formed on the surface of a GaAs substrate 1, high energy ions of a relatively large mass number are selectively implanted into a required part of the GaAs substrate 1 surface

through the aperture of the mask pattern 3 so as to form a damaged layer 1a. Then only the damaged layer 1a is selectively etched with acid. After that, the ion implantation process and the etching process are alternately repeated to obtain a substrate piercing part (via-hole 4).

COPYRIGHT: (C)1988, JPO&Japio

## ⑯ 公開特許公報 (A) 昭63-4621

⑯ Int.Cl.<sup>4</sup>  
H 01 L 21/306  
21/28識別記号  
T-8223-5F  
E-7638-5F

⑰ 公開 昭和63年(1988)1月9日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体装置の製造方法

⑰ 特願 昭61-148930

⑰ 出願 昭61(1986)6月24日

⑯ 発明者 小崎 克也 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑯ 発明者 大坪 瞳之 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑯ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑯ 代理人 弁理士 大岩 増雄 外2名

## 明細書

## 〔従来の技術〕

第2図(a)～(c)はGaAs集積回路における従来のバイアホール形成の主要工程を示す断面図で、これらの図において、1はGaAs基板、2はガラス板、3はマスクパターン、4はバイアホールをそれぞれ表している。

第2図(a)はGaAs基板1をガラス板2にワックスを使ってはり付けた状態である。この状態の後、写真製版等によってマスクパターン3を形成し(第2図(b))、続いて、酸と酸化剤との混合液をエッチャントした湿式エッチングによりバイアホール4を形成する(第2図(c))。

第2図(c)に示したGaAs基板1の湿式エッチングは、エッチャント中の酸化剤(過酸化水素等)がGaAsを酸化し、上記酸化反応による生成物を酸(硫酸、硝酸等)が溶解させることにより進行する。またガラス板2へのGaAs基板1のはり付けは、前記湿式エッチングの工程において、GaAs基板1のマスクパターン3のない側の面が前記エッチャントによってエッチング

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

バイアホールを有する半導体装置の製造方法において、砒化ガリウム基板面上に形成されたマスクパターンの開口部を通して、または収束性イオンビームによって前記バイアホールを形成する部分に比較的質量数の大なるイオンを高エネルギーで注入してダメージ層を形成する工程と、前記イオン注入によるダメージ層を酸で選択的にエッチングする工程とを繰り返して行うことによって、前記砒化ガリウム基板にバイアホールを形成する工程を含むことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

この発明は、半導体装置の製造方法に関し、特にバイアホールを有するGaAs(砒化ガリウム)集積回路の製造方法に関するものである。

されるのを防止する効果を有する。

〔発明が解決しようとする問題点〕

従来の半導体装置の製造方法において、酸と酸化剤との混合液をエッチャントとした湿式エッチングによりバイアホール4の形成を行うと、サイドエッチングが大きく、ほぼ等方的にエッチングが進むため、バイアホール4の仕上り幅は深さの約2倍程度にも広がる。したがって、GaAs基板1を貫通するためには、設計上基板厚の約2倍程度のバイアホールの仕上り幅を見込まなければならぬ。

第3図(a)、(b)は従来の製造方法における問題点の一例を示した断面図で、これらの図で、第2図(a)～(c)と同一符号はそれぞれ同一部分を表している。上述のような湿式エッチングは、一段に乾式プロセスに比べ制御性が悪いため、特にバイアホールエッチングのようなディープエッチングでは、エッチング量の基板面内でのばらつきが生じ易い。エッチング量が基板面内でばらつくと、第3図(a)のように貫通してい

を形成する部分に、比較的質量数の大なるイオンを高エネルギーで選択的に注入し、イオン注入によるダメージ層を酸でエッチングするようにしたものである。

〔作用〕

この発明においては、GaAs基板面上のバイアホールを高エネルギーで選択注入し、イオン注入部分にダメージを与えてアモルファス層(ダメージ層)とすることから酸のみでエッチングが可能となる。

〔実施例〕

第1図(a)～(e)はこの発明の一実施例による半導体装置の製造方法における主要製造工程を示す断面図で、これらの図において、1はGaAs基板、1aはイオン注入によるダメージ層、3はマスクパターンを示し、矢印は注入するイオンの入射方向を表している。

次に製造工程について説明する。

第1図(a)に示すように、GaAs基板1の面上に密度の大きい、つまりイオン阻止能の高い

る穴と未貫通の穴ができる。未貫通の穴を貫通させるべく追加エッチングを行うと、第3図(a)の状態で貫通していた穴の仕上り幅はさらに広がり、したがって、バイアホール4の仕上り幅は基板面内でばらついてしまう(第3図(b))。

以上のように、従来の半導体装置の製造方法によると、バイアホール4の仕上り幅が大きくなり、回路パターンの微細化の障害となるばかりか、仕上り幅がGaAs基板1面内でばらつくという問題点があった。

この発明は、上記のような問題点を解決するためになされたもので、バイアホールの仕上り幅を小さく抑え、かつバイアホールの仕上り幅のGaAs基板面内でのばらつきを防止することを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置の製造方法は、GaAs基板の面上に形成されたマスクパターンの開口部を通して、あるいは収束性イオンビーム(FIB)によってGaAs基板面上のバイアホール

金属(例えばAu、Pt、W等)のマスクパターン3を形成した後、第1図(b)に示すように、マスクパターン3の開口部を通して、GaAs基板1面上の所望する部分(バイアホールを形成する部分)に比較的質量数の大なるイオン(例えばAr、Xe等)を高エネルギーで選択的に注入し、イオン注入によるダメージ層1aを形成する。次に、第1図(c)に示すように、GaAs基板1のダメージ層1aのみを、酸によって選択的にエッチングする。以下、第1図(b)のようなイオン注入工程および第1図(c)のようなエッチング工程を交互に繰り返して行い、第1図(d)および第1図(e)に示す最終イオン注入工程、最終エッチング工程を経て、基板貫通部分(バイアホール4)を得る。

以上のような工程で半導体装置の製造を行うと、イオン注入によってGaAs基板1のダメージ層1aの深さおよび幅広がりを適当に制御しながら(特に幅広がりは小さく抑えながら)、ダメージ層1aのみを選択的にエッチングできる。加

えて、従来法に示したような、GaAs基板1裏面の保護を目的としたガラス板2へのはり付け工程(第2図(b))は当然不要となる。

なお、上記実施例では、GaAs基板1上へのイオンの選択注入はマスクパターン3の開口部を通して行ったが、収束性イオンビーム(FIB)を用いたマスクレス注入でもよい。

#### 〔発明の効果〕

この発明は以上説明したとおり、マスクパターンの開口部を通してまたは収束性イオンビームによってGaAs基板面上のバイアホールを形成する部分にイオンを高エネルギーで選択的に注入してダメージ層を形成する工程と、このダメージ層をエッチング除去する工程とを繰り返して行うようにしたもので、サイドエッチングを押えることができ、かつエッチング量の制御も容易となるため、バイアホールの仕上り幅と仕上り幅のばらつきを小さく押えることができるという効果がある。

#### 4. 図面の簡単な説明

第1図(a)～(e)はこの発明の半導体装置の製造方法の一実施例の主要工程を示す断面図、第2図(a)～(c)は従来の製造方法の主要工程を示す断面図、第3図(a)、(b)は従来の製造方法における問題点を説明するための断面図である。

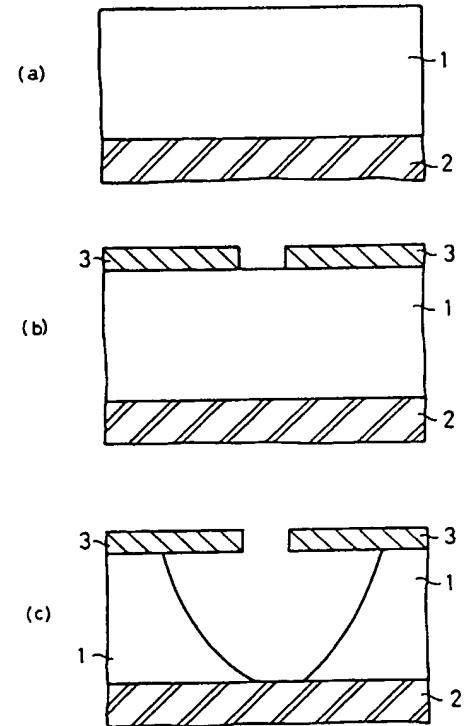
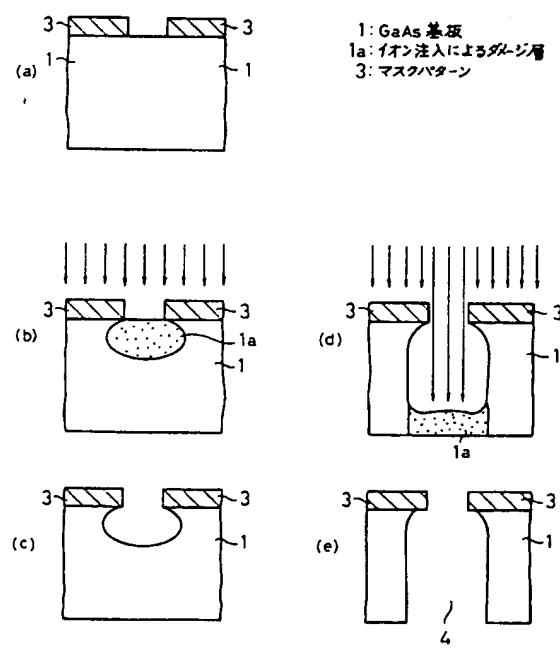
図において、1はGaAs基板、1aはイオン注入によるダメージ層、3はマスクパターンである。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大岩増雄 (ほか2名)

第2図

第1図



第 3 図

